

Mit einfachen Mitteln das Redesign von Leiterplatten vermeiden

Sanity Check – Schnell zum funktionierenden Layout

Werden Designverantwortliche nach den häufigsten Gründen für ein Redesign gefragt, kommen zu 80 Prozent Antworten, die sich auf Probleme mit EMV (Elektromagnetische Verträglichkeit) oder SI (Signal Integrität) beziehungsweise PI (Power Integrität) beziehen. Dabei lassen sich viele der genannten Probleme durch den frühzeitigen Einsatz von Simulationssoftware wie ANSYS SIwave vermeiden.

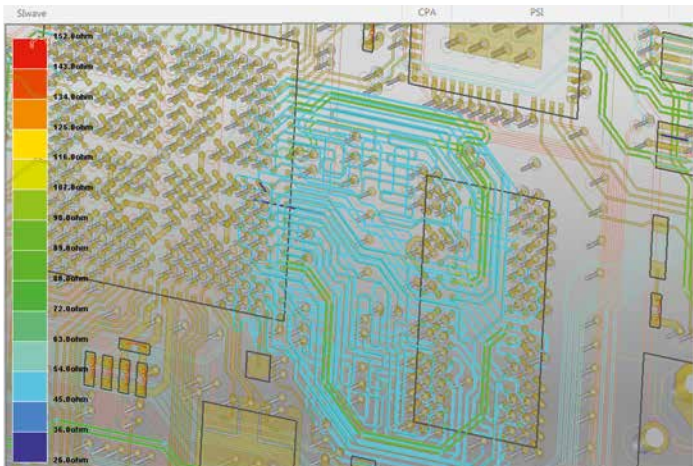


Bild 1: Beispiel eines DDR3-Impedanzscan auf einer Embedded-Baugruppe.

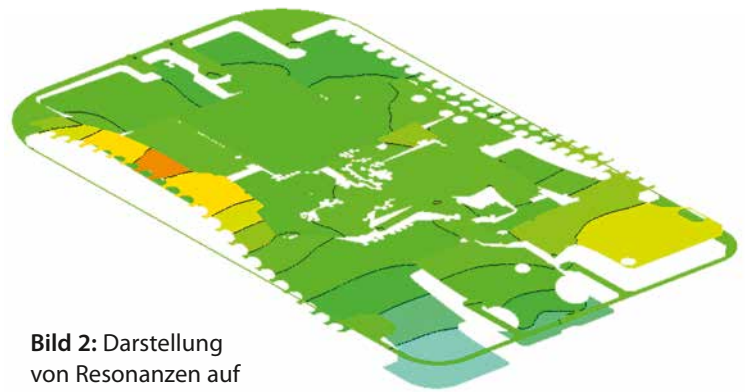


Bild 2: Darstellung von Resonanzen auf den Versorgungslagen.

Die wenigsten Designabteilungen beschäftigen sich im Vorfeld intensiv mit der konkreten Auslegung von Designregeln sowie der korrekten Umsetzung dieser Regeln, denn bei den heutigen komplexen Baugruppen, ist die Berücksichtigung dieser Regeln ein zeitaufwendiger Teil des Designprozesses. Am Ende des Layouts muss dann noch einmal die Einhaltung dieser Regeln geprüft werden, um diesbezüglich fehlerfrei in die Platinenproduktion starten zu können.

Dazu ist es zum Beispiel notwendig, die Bereiche mit Impedanz-Fehlanpassung (wie Routing über Schlitze oder Padstacks) und Übersprechen von Signalen im Design zu identifizieren. Schon das Verletzen einer Impedanzvorgabe bei der Clock-Leitung eines Speicherbausteins, kann zur Folge haben, dass das gesamte

Design nicht in Betrieb genommen werden kann. Des Weiteren können viele EMV-Effekte durch geschickte Vermeidung von Resonanzen im Versorgungsnetzwerk unterdrückt werden.

Die Software ANSYS SIwave ermöglicht eine gezielte Kontrolle von Resonanzen, Impedanz- und Übersprechverhalten auf Leiterplatten vor der Produktionsdatenerstellung. Bei auftretenden Resonanzen können noch während der Bauteilplatzierung entsprechende Gegenmaßnahmen ergriffen und deren Wirksamkeit überprüft werden. In der Routingphase des Layouts lassen sich Impedanz- und Übersprechverhalten interaktiv überprüfen und anpassen.

Mit seiner intuitiven Benutzeroberfläche und der einfachen Handhabung können mit ANSYS SIwave physikalische Berechnungsmethoden und deren exakte

Ergebnisse effizient genutzt werden. Kurze Bearbeitungs- und Berechnungszeiten in Kombination mit einem nutzungs-basierten Lizenzmodell (pay-per-use) ermöglichen eine kostengünstige Absicherung des Designs.

Die gezielte Verwendung von automatisierten Checks minimiert das Risiko, ein Redesign erstellen zu müssen um mindestens 70 Prozent. Außerdem sinkt die Gefahr, dass Probleme in den Bereichen EMV und SI/PI erst nach der Erstellung eines Prototyps erkannt werden. Damit ist die Grundlage geschaffen, den Entwicklungsprozess berechenbarer zu planen und die kalkulierten Zeiten auch einzuhalten.

Weitere Informationen

Ronald Weber
Tel. +49 (0) 80 92-70 05-838
rweber@cadfem.de