DESIGN& ELEKTRONK KNOW-HOW FÜR ENTWICKLER

SONDERDRUCK BOOKLET

Design-Praxis: Simulationsgetriebene Entwicklung von Embedded

Systems



Teil 1: Zur Versorgungsintegrität von Embedded-Hardware (Seite 2) **Teil 2:** Auslegung der High-Speed-Signalleitungen (Seite 8) **Teil 3:** Herausforderungen durch Feldwechselwirkungen (Seite 14)



Mit der steigenden Integrationdichte moderner eingebetteter Elektronik werden einfache Abschätzungen zum Systemverhalten nahezu unmöglich. Dann gewähren numerische Simulationen einen Einblick in die intrinsische Dynamik, schaffen Klarheit und Abstraktion auf Systemebene. Die Artikelserie zählt mit einem generischen Entwurf, die wichtigsten Charakteristiken einer typischen Embedded-Hardware auf.

Dr. Christian Römelsberger Applikationsingenieur bei Cadfem

ingebettete Systeme (Embedded Systems) sind ein wichtiger Bestandteil vieler moderner Anwendungen und technologischer Neuerungen. Sie finden in den verschiedensten Bereichen wie zum Beispiel modernen Industrieanlagen, Verkehrsmitteln vom Automobil über Bahn bis zum Flugzeug, Medizintechnik, Hausautomatisierung, Unterhaltungselektronik oder Logistik Einsatz. Die eingebetteten Rechenplattformen sind hier vielseitig einsetzbar und übernehmen verschiedenste Aufgaben, wie die Steuerung oder Regelung von elektromechanischen Komponenten oder dienen der Erhebung, Erfassung, Speicherung von Daten und der Signalverarbeitung.

Diese Artikelreihe fokussiert auf das Verständnis der physikalischen Gegebenheiten, die bei der Hardware-Entwicklung eingebetteter Systeme berücksichtigt werden müssen. Es wird aufgezeigt, wie numerische Simulationen in der frühen Auslegungsphase helfen, die richtigen Designentscheidungen zu treffen. Das ermöglicht den gezielten Entwicklungsprozess ohne unnötige Redesigns. Der Designraum wird durch Funktionsumfang des Systems, Hardwareanforderungen, Größe des Bauraums, Formfaktor, Stromumsatz. Betriebssicherheit und nicht zuletzt den Stückpreis aufgespannt. Den Formfaktor bestimmen hier teilweise auch vordefinierte Normen wie COM-Express, Q7- oder die SMARC-Plattform: Sie regulieren Anzahl, Art und Platzierung der Schnittstellen und gegebenenfalls die Rechenleistung.

Der Wettbewerbs- und Innovationsdruck stellt iedoch immer neue Herausforderungen an die Entwickler. Des Weiteren muss aufgrund langer Lebenszyklen (Lifecycle) die Verfügbarkeit oft über zehn Jahre gewährleistet werden: damit sind mehrere Leiterplattenhersteller involviert. Lange Lebenszyklen und verschiedene PCB-Fertiger, erhöhen die Streuung der physikalischen Eigenschaften einer Leiterplatte. Hinzu kommen auch Bauteilvariation: zum Beispiel Änderungen an Technologien in einer Komponente, oder Abkündigung und Ersatz einer Komponente. Das Design muss derart ausgelegt sein, dass das System unter all diesen Variationen zuverlässig funktioniert. Abhängig von der Anwendung gibt es vielfältige Herausforderungen in vielen physikalischen Domänen zu meistern. Elektrisch muss die Funktionalität des Systems gewährleistet sein; die Abwärme muss effizient abgeführt und die mechanische Zuverlässigkeit unter den gegebenen Einsatzbedingungen sichergestellt werden. Das richtige Verständnis dieser Phänomene hilft bei der zielgerichteten Entwicklung eines aeeianeten Desians.

Der erste Teil dieser Artikelserie diskutiert jene Aspekte, die bei der Versorgungsintegrität einer eingebetteten Plattform auf der Leiterplattenebene beachtet werden müssen: zunächst die Verteilung der Kupferflächen und der Durchkontaktierungen (Vias), zur Gewährleistung der jeweiligen Stromtragfähigkeit. Weiterhin dynamische Effekte, wie Resonanzen und Impedanzen im Versorgungsnetzwerk (Power Rail), sowie die optimale Auswahl und Platzierung von Stützkondensatoren. Dies ist für eine stabile Stromversorgung und die EMV-Verträglichkeit wesentlich.

DC-Versorgung gewährleisten

Zunächst erfolgt die Komponentenauswahl nach Funktion und Anwendungsumgebung des eingebetteten Systems: verarbeitende Elemente (µC, µP, FPGA oder SoC), speichernde Elemente wie RAM- oder Flash-Bausteine sowie Transceiver und Bridges für die Datenübertragung. Moderne Recheneinheiten besitzen damit, je nach Typ, drei bis zehn verschiedene Stromversorgungen mit teils unterschiedlichen Spannungsversorgungen. Sie stellen unterschiedlichen IC-Bereichen die geforderten Spannungsniveaus bereit und regeln die korrekte Einschaltreihenfolge (Seguencing). Diese Stromversorgungen müssen auf der Leiterplatte integriert sein: das heißt, es müssen verschiedene Versorgungsnetze (V_{cc}) und eines oder mehrere Masse-Netze (GND) geroutet und mit entsprechenden Spannungen bespeist werden. Bei der Auslegung der Versorgungsnetze gilt es, zunächst die Stromtragfähigkeit zu beachten. Diese wird maßgeblich durch das Ohmsche Gesetz bestimmt: Kupfer besitzt bei Raumtemperatur eine elektrische Leitfähigkeit von circa 58×10⁶ S/m, eine 35 µm dicke Kupferschicht, mit 1 cm Breite und 2 cm Länge ergibt 1 mQ Widerstandsbelag (R= $l/(d \cdot w \cdot \sigma)$).

Trägt eine solche Schicht als Versorgungsleitung 30 A Strom, wie für eine Core-Versorgung durchaus üblich, ergibt das 30 mV Spannungsabfall und einen Leistungsumsatz von fast einem Watt! Das entspricht 3.5 % einer typischen Core-Versorgungsspannung 0,85 V, gleichsam fällt 3,5 % der Verlustleistung schon in der Kupferleiterbahn an! Dieser Spannungsabfall (DC-Drop) ist bei der Einspeisung zu beachten, da an den jeweiligen IC-Kontakten eine gewisse Toleranz für die Versorgungspannungen eingehalten werden muss. Thermische Aspekte und Elektromigration (der diffusiven Transport von Kupferionen in starken DC-Stromlaufbahnen) bewirken Vorgaben

für maximale Stromdichten in Leiterbahnen und Vias. Typischerweise sind einige Ampere pro Quadratmillimeter Leiterguerschnitt einzuhalten, die für die langfristige Systemfunktion zu prüfen sind. Kürzere und breitere Leiterbahnen verringern den DC-Drop, nicht nur deshalb sollten Versorgungs- und Massenetze möglichst flächig angelegt werden.

Das Lavout in einer konkreten Anwendung ist etwas komplizierter. Die Leiterplatte besteht aus mehreren Lagen, davon sind einige V_{cc}- oder GND-Lagen und andere Signallagen. Diese Lagen werden meistens getrennt um Referenzlagen für impedanzangepasste Signalleitungen bereitzustellen und um den induktiven Beitrag zu den Versorgungsimpedanzen gering zu halten.



pads um Vias zu sehen.



Bild 2: Verteilung des Stroms über Vias aus der Top-Lage zur Versorgungslage.

Oft werden große ICs (zum Beispiel *verarbeitende Elemente*), die mit Ball Grid Arrays (BGA) aus Lötkugeln in einem Reflow-Prozess auf die Leiterplatte bestückt wurden, versorgt. Der Strom wird dabei vom Spannungsregler (VRM) typischerweise mit Vias in eine Innenlage, dort durch das flächige Versorgungsnetz und wieder durch Vias zum Verbraucher geleitet.

Beim Design dieses Strompfades wägt der Entwickler viele Parameter und Phänomene:

- die Anzahl der notwendigen Vias zum Stromtransport in die jeweilige Innenlage;
- die Versorgungslage wird, speziell unter ICs mit vielen Pins, durch Aussparungen für Vias unterbrochen;

Bild 1: DC-Stromverteilung in der Lage zur Core-Versorgung. Der rote Pfeil deutet den Strompfad von der Einspeisung zur Last an. In der Vergrößerung sind zwei typische Verengungen durch Anti-



die Beeinträchtigung des Stromflusses durch diese Aussparungen kann kritisch sein.

Die geeignete Topologie der unterschiedlichen Versorgungsnetze zur optimalen Versorgung aller Verbraucher. Im realen Anwendungsfall können mit der wesentlich komplexeren Geometrie kaum noch elementare Abschätzungen des Stromflusses erfolgen: Sie gestalten sich zeitaufwändig, fehleranfällig und ungenau. Mathematisch wird der Stromfluss nach dem Prinzip des geringsten Widerstandsweges, durch eine Laplace-Gleichung für das elektrische Potential in einem Leiter ausgedrückt. Die Laplace-Gleichung lässt sich sehr effizient numerisch lösen, zum Beispiel im Simulationsprogramm Ansys Slwave mit der finiten Elemente Methode (FEM). Bild 1 zeigt die Simulationsergebnisse für die Stromverteilung in einer Versorgungslage für die Core-Spannung. Im rechten unteren Bildbereich erreicht der Strom die Versorgungslage durch Vias, im linken Bildbereich wird er durch Vias in ein FPGA geführt. Es ist sehr gut zu beobachten, dass Verengungen des Strompfads, aufgrund von Antipads für Vias,

die Stromdichte erheblich steigern (Vergrößerungen im Bild 1). Die mittlere Aussparung am unteren Bildrand steigert den Strom erheblich, da er hier den kürzesten Weg fließt. SIwave ermittelt automatisch konzentrierte Größen, wie den integralen Spannungsabfall. Im Beispiel müssen bei 30 A Stromumsatz 0,94 V am VRM liegen, um an den Baustein 0,85 V zu setzen. Zehn Prozent des Leistungsumsatzes fallen somit im Kupfer auf der Leiterplatte an!

Die Verteilung des Stroms über mehrere Vias ist oftmals sehr heterogen, wie *Bild 2* zeigt. Hier sind einige Duzend Vias gezeigt, die den Strom vom VRM in der Top-Lage, in die Versorgungslage der Core-Spannung führen. In dieser Lage fließt er in die linke obere Bildrichtung (*siehe Hauptrichtung der Pfeile*). Die Farbe der diagonalen Kreuze kennzeichnet die Stromstärke in den Vias, rot bedeutet die maximale Stromstärke, dunkelblau einen fast verschwindenden Strom. Die Vias am rechten unteren Bildrand sind für DC-Ströme bedeutungslos, das rot markierte Via ist dagegen einer starken Belastung ausgesetzt.

Solche Simulationen sind also essenziell zur Layoutverifikationen, es lassen sich geeignete Maßnahmen ableiten: unter anderem eine geschickte Platzierung von Vias sowie die Variation der Kupferflächen in Größe und Form.

Über eine nutzenbringende Anwendung von Simulationstools wie Slwave, entscheidet auch die geeignete Integration in die EDA-Tool-Kette, zum Beispiel eine direkte Anbindung an die entsprechenden Lavouttools. Sie unterstützen Austauschformate wie IPC-2581, ODB++ oder Ansys-EDB und übertragen die Informationsbasis, unter anderem Lagenaufbau, Padstacks, Flächen und Traces, sowie auch Bauteil- und Netzinformationen. Die Bauteilinformationen bestehen aus Bauteilnamen, Reference-Designators und Pinnamen sowie Bauteilwerte für Widerstände, Kondensatoren und Induktivitäten. Damit wird in wenigen Minuten eine DC-Drop-Simulation implementiert: Lasten, Spannungsquellen und Mehrphasen-VRMs mit Erfassungsleitung (Sense Line) werden über Bauteilnamen, Reference-Designators und Netznamen definiert. Mit automatischer Adaption der numerischen Genauigkeit können auch Anwender ohne numerische Erfahrung direkt zuverlässige Simulationsergebnisse zur Designfindung erhalten.



Bild 3: Netzwerk zur IC-Versorgung. Der Strom wird über das VRM eingespeist und fließt über Vias in die Versorgungslagen der Leiterplatte. Von dort gelangt er über Vias, Lötkugeln, das Package und Bonddrähte zum Siliziumchip. Dargestellt sind auch typische Platzierungsstellen von Stützkondensatoren und ein Ersatzschaltbild des Versorgungsnetzwerks.



Bild 4: Optimierung der Versorgungsimpedanzen eines IC: Die rote Linie stellt die Impedanz unter Berücksichtigung des VRM und der Leiterplatte dar. Die blaue Linie stellt dasselbe Design dar, in dem Stützkondensatoren so platziert wurden, dass die Impedanz unterhalb von 10 MHz die Zielimpedanz einhält. Die grüne Linie stellt ein Design dar, in dem die Kupferebene so verkleinert wurde, dass die Parallelresonanz zwischen dem niederinduktivsten Stützkondensator und der Kapazität der Kupferflächen in einen unkritischen Bereich geschoben wurde.

Versorgungsimpedanzen verstehen

Der DC-Drop bedeutet aber nur einen Teil der Analyse, da die meisten ICs getaktet Strom beziehen: Die IC-Logik ist durch CMOS-Transistorschaltungen implementiert, bei jedem Schaltvorgang werden Kapazitäten umgeladen. (Zum Beispiel zwischen Gate und Bulk, den verschiedenen Signalnetzen und den Versorgungs- beziehungsweise Masse-Netzen.) Das Versorgungssystem muss dazu, kapazitätsabhängig, kurzzeitige Ladeströme bereitstellen. Aufgrund der immensen Transistoranzahl im IC (viele Millionen) und der sehr kleinen benötigten Ladungen für die meisten logischen Operationen, sind diese Ströme aus Versorgungssicht der Leiterplatte zeitunabhängig. Signalleiterbahnen und speziell Pads auf einer Leiterplatte tragen iedoch Kapazitäten im Picofarad-Bereich. Wenn also Ausgangsleitungstreiber (Output Buffer Driver) auf digitalen Signalleitungen den logischen Wert umschalten, werden mit dem Spannungsschritt von GND nach V_{cc} entsprechende Ströme notwendig (Bild 3 rechts oben, skizziert einen Ausgangstreiber). Bei 3,3 V V_{cc} und 500 ps Schaltflanke fallen somit einige Milliampere an (I= $\Delta V C / \Delta t$).

Andererseits liefert das Versorgungssystem nur eingeschränkt, beliebig latent, beliebig variable Ströme. Bild 3 skizziert ein Versorgungsnetzwerk vom VRM über Vias, die Versorgungslagen, weitere Vias, Lötkugeln und ein Package bis zum Siliziumchip. Das VRM ist meist ein DC-DC-Wandler, zum Beispiel ein Buck-Converter, der am Ausgang eine gegebene Spannung setzt. Das leistet eine PWM an einer Induktivität mit Regelkreis, der eine möglichst konstante Ausgangsspannung in einem gegebenen Fenster von Lastströmen bereitstellt.

Das Wechselspiel des Reglers mit den Induktivitäten und dem Ausgangsfilter, bestimmt das VRM-Verhalten am Ausgang unterhalb der halben PWM-Frequenz. Bei der Auslegung des VRM ist auf ein möglichst flaches Impedanzprofil (ein frequenzunabhängiger Widerstand) zu achten. Ab der PWM-Frequenz kann der Regelkreis die Lastwelligkeit nicht mehr kompensieren, das Ausgangsverhalten wird durch die Wandlerinduktivität und den Ausgangsfilter dominiert. In der Praxis kann das VRM, bei einem guten Design, im Arbeitsbereich durch eine frequenzabhängige Ausgangsimpedanz beschrieben werden: ein effektiver Widerstand der ab etwa der halben PWM-Frequenz in eine Induktivität übergeht (Bild 3 links oben). Zwischen VRM und dem IC führt der Strompfad nur über passive Strukturen, das heißt, Vias und Leiterbahnen die in einem dielektrischen Substrat (vorwiegend FR-4) eingebettet sind, Lötkugeln und das Package.

Dieser Strompfad besitzt eine Induktivität, die auf den DC-Widerstand addiert wird und somit eine AC-Impedanz ergibt.]e nach Leiterplattenlayout macht sich diese Induktivität ab circa 100 kHz bemerkbar und behindert die AC-Stromversorgung des ICs. Aus Verbrauchersicht können VRM mit dem Versorgungsnetzwerk durch eine frequenzabhängige Versorgungsimpedanz charakterisiert werden, die den AC-Stromfluss hindert. Hieraus leitet sich ein wichtiges Konzept für Elektronikentwickler zur Beschreibung des ICs ab: die Zielimpedanz (Target Impedance), welche eine Obergrenze an die Versorgungsimpedanz darstellt. Falls ein Leiterplatten- und VRM-Design diese Zielimpedanz einhält, kann die fehlerfreie IC-Versorgung gewährleistet werden.

Bild 4 zeigt verschiedene Stufen in der Optimierung der Versorgungsimpedanz eines ICs auf einer Leiterplatte mit VRM. Die Impedanzplots enthalten ablesbare Informationen zur Versorgungsoptimierung: die rote Linie markiert die Versorgungimpedanz ohne Stützkondensatoren, bei niedrigen Frequenzen unterhalb von 100 kHz dominiert der DC-Widerstand des VRMs und der Leiterbahnen. Danach wird das Verhalten induktiv und hauptsächlich durch die Induktivität im DC-DC-Wandler bestimmt.

Bei circa 140 MHz tritt eine Parallelresonanz auf, ab hier ist das Verhalten hauptsächlich durch die Kapazität der Kupferschichten bestimmt (circa 300 pF). Darauf folgt bei knapp 400 MHz eine Serienresonanz, ab der die Impedanz der Via-Induktivität aus den Kupferebenen hin zum IC dominiert. Die folgenden Resonanzen werden hauptsächlich durch stehende Wellen zwischen den Kupferflächen verursacht, wie später noch erläutert wird.

Die Anforderung an die Zielimpedanz wird also in weiten Bereichen nicht erfüllt. Im Frequenzbereich unter einigen Duzend Megahertz bessern Stützkondensatoren das Impedanzprofil relativ direkt (Skizze Bild 3). Diese sind im Mittel mit der Versorgungsspannung aufgeladen, parallel zum VRM geschaltet und bieten kurzfristig eine Stromversorgung mit geringerer Induktivität zur Last. Diese Kondensatoren tragen aber selbst eine parasitäre Induktivität (ESL) und einen parasitären Widerstandsbelag (ESR) in Serienschaltung.

Das bewirkt einen frequenzabhängigen Impedanzverlauf (Bild 4 oben links), der sich bei niedrigen Frequenzen kapazitiv verhält, eine Resonanzfrequenz zeigt und induktiv ausklingt. Diese Serienresonanz ist die Frequenzgrenze bis zu der ein Kondensator stützen kann. Die blaue profil durch eine geschickte Wahl von Stützkondensatoren verbessert werden kann. Hierbei wurden die Kondensatoren in Resonanzfrequenz und Güte so gewählt, dass das Impedanzprofil im gewünschten Bereich unterhalb der Zielimpedanz liegt und möglichst flach ist. Oberhalb der höchsten Kondensatorresonanz ist die Versorgungsimpedanz nun durch die Serieninduktivität des Kondensators mit der höchsten Resonanzfrequenz gegeben. Diese Linie verläuft leicht oberhalb der Verlängerung jener Linie, die das induktive Verhalten des Vias von der Versorgungslage zum IC vorgibt. Die Induktivität des Vias von der Versorgungslage zum IC stellt nämlich eine grundsätzliche Einschränkung an die erreichbaren Zielimpedanzen dar. Die Zielimpedanz wird ietzt nur noch durch die Parallelresonanz bei knappen 600 MHz, zwischen der Serieninduktivität des Kondensators mit der höchsten Resonanzfrequenz und der Kapazität der Versorgungsebenen, verletzt.

Linie in Bild 4 zeigt, wie das Impedanz-

Bei diesen Frequenzen ist es schwierig geeignete Stützkondensatoren auf der Platine zu platzieren, da die Zuleitungs- und Serieninduktivität eines solchen Kondensators den kapazitiven Effekt kompensieren. Vielmehr können hier Geometrieveränderungen im Lavout helfen, zum Beispiel kann eine Verkleinerung der Versorgungsebene die Kapazität der Ebene verringern und somit diese Parallelresonanz nach oben in einen unkritischen Bereich verschieben.

Weitere physikalische Effekte müssen

gungsintegrität berücksichtigt werden. Zunächst nehmen AC-Ströme nicht den Weg des geringsten Widerstands, sondern den der geringsten Impedanz, dominiert durch die Induktivität. Auf diese Weiese werden Skin- sowie Proximity-Effekte als Weg der geringsten magnetischen Flussverlinkung erzeugt (Bild 5). Bei 100 MHz beträgt die Wirbelstromeindringtiefe in Kupfer 6 µm, effektiv fließt der Strom nur auf den Kupferoberflächen und die Kupferebenen schirmen sämtliche Felder. Der Strom fließt also zum Beispiel nur auf der Via-Außenseite, da sich das Via-Innere wie ein zylinderförmiger Wellenleiter weit unterhalb der Sperrfrequenz verhält: Hinund Rückströme fließen möglichst nah aneinander, wie zum Beispiel an den Lötkugeln und Vias in Bild 5 zu sehen ist. Das zeigen ebenso die Kupferebenen an den einander zugewandten Seiten im Bereich der roten Pfeile (hellblau auf der Innenseite zwischen den Ebenen und dunkelblau auf der Außenseite). Die Induktivität dieser Via-Anbindungen der ICs und Stützkondensatoren, sowie die Induktivität des Strompfades in den Kupferebenen, spielen für die Versorgungsintegrität eine wichtige Rolle: diese Induktivitäten addieren sich zu den Serieninduktivitäten der Stützkondensatoren und beeinträchtigen auf diese Weise die Wirksamkeit der Modifikationen.

beim Leiterplattenlavout für die Vesor-

Den zweiten physikalischen Effekt stellen stehende Wellen in den Versorgungslagen der Leiterplatte dar. Zwischen zwei Kupferebenen können sich transversal



Bild 5: AC-Stromverteilung im Bereich der Pins eines ICs. Hier wird Strom, der in den Versorgungslagen von rechts kommt, durch Vias und Lötkugeln zum IC geleitet. Die Wirbelstromeffekte sind gut sichtbar.



Bild 6: Die ersten beiden Resonanzen eines Versorgungsnetzwerks liegen in unterschiedlichen Netzwerkregionen. Daher haben sie unterschiedliche Auswirkungen auf die beiden zu versorgenden ICs. Die Resonanzfreguenzen korrelieren sehr gut mit den ersten beiden Parallelresonanzen der Versorgungsimpedanzen.

elektrische und magnetische Wellen ausbreiten. Das elektrische Feld steht, wie in einem Plattenkondensator, senkrecht zu den Kupferebenen und das Magnetfeld verläuft parallel zu den Ebenen; die Welle bewegt sich senkrecht zu diesen beiden Richtungen mit Lichtgeschwindigkeit des Substrats. Diese Wellen werden an den Enden der metallisierten Flächen reflektiert und bei entsprechenden Frequenzen bilden sich dabei stehende Wellen aus: etwa im Bereich einiger hundert MHz je nach Leiterplattengröße. Sie beeinflussen die Versorgungsintegrität und führen auch zu Abstrahlungsproblemen. Diese Resonanzen können mit Hilfe einfacher Simulationen in Ansys-SIwave gefunden und wie in Bild 6 als Spannungsverläufe zwischen zwei Ebenen visualisiert werden. Die so ermittelten Resonanzfrequenzen korrelieren mit den Parallelresonanzen aus der Analyse der Versorgungsimpedanzen. Die Visualisierung erlaubt es Gegenmaßnahmen abzuleiten, wie zum Beispiel geeignete Positionen für Stütz- oder Eckkondensatoren oder die Veränderung der Kupferflächen. Diese Analysen zur dynamischen Versorgungsintegrität helfen auch EMV-Problemen vorzubeugen, da

typischerweise die Kupferflächen als Antennen für die Abstrahlung wirken.

Physikalische Simulationen, zum Beispiel mit SIwave, helfen dabei, die Strompfade und die dazugehörigen Induktivitäten zu bestimmen, Resonanzen in den Ebenen zu finden, Verständnis aufzubauen und Versorgungskonzepte zu optimieren: Die Lage der Versorgungsebenen in der Leiterplatte: für die Versorgungsintegrität sind hier Lagen in der IC-Nähe

- zu bevorzugen.
- Die Abstände dieser Lagen: typischerweise sind hier geringe Abstände bevorzugt, um das Verhältnis aus Kapazität zwischen den Ebenen zur Induktivität zu maximieren.
- Die Form der Kupferflächen und die Via- und Pad-Konfigurationen für die IC-Verbindung und
- die Position der Stützkondensatoren: Ist eine Position unterhalb oder neben dem IC besser?

Bei der Beantwortung all dieser Fragestellungen und zur Vermeidung von Entwicklungsschleifen ist physikalische Simulation ein wichtiges Werkzeug. Es können Vorhersagen über die Designgrenzen getroffen werden. Eine Alternative beziehungsweise



Ergänzung zur Simulation bildet natürlich die Messung. Hier ist auf ausgezeichnetes Messequipment zu achten, eine sorgfältige Auswahl von Messköpfen und Kalibrierung sind für zuverlässige Ergebnise unabdingbar.

Physikalisches Verständnis und Simulation helfen also zielgerichtet Designs zu entwickeln, die eine gute Versorgungsintegrität sowohl im DC- als auch im AC-Bereich gewährleisten. Auf diese Weise lassen sich zeitaufwändige und kostenintensive Redesigns vermeiden, was es auch ermöglicht innovative Ideen zu entwickeln und neue Designregeln abzuleiten. (ct)

CADFEM

CADFEM bietet Tools und Support für einen erfolgreichen Einsatz von Simulation in der Produktentwicklung. Mit Ansys-Simulationslösungen stellt Cadfem in allen physikalischen Domänen führende und auf dem Markt etablierte Software zur Verfügung und bietet Hardware-Entwicklern durch Engineering-Know-how einen schnellen und effizienten Einstieg in die Simulation.



Auslegung der High-Speed-Signalleitungen

Simulationen helfen einen gezielten Designprozess mit wenigen Korrekturschleifen zu implementieren. Das Leiterplattendesign wird hinsichtlich der Integrität von High-Speed-Signalen diskutiert.

Dr. Christian Römelsberger Applikationsingenieur bei Cadfem

oderne Embedded-Plattformen integrieren eine Vielzahl an Schnittstellen. Zum Einen interne Datenleitungen zwischen den Rechen- und Speicherbausteinen. Diese sind durch DDR (Double Data Rate) realisiert z. B. in DDR3/4/5-, GDDR5- oder LPDDR2/3-Ausprägungen. Zum Anderen werden je nach Formfaktor, standardisierte High-Speed-Schnittstellen zur Peripherie benötigt, wie PCIe, USB3.X, SATA, LVDS/Display und HDMI.

Auf diesen Leitungen fallen Datenraten von bis zu 10 GBit/s an, zukünftig wird die Rate drastisch steigen. Nach dem Nyquist-Kriterium benötigt die Darstellung digitaler Signale, Frequenzen größer als die halbe Datenrate, bei 5 GBit/s also über 2,5 GHz. Auf Signalleitungen in einer Fr-4-Leiterplatte breiten sich diese Signale mit circa 1,5*10^8 m/s aus. Bei 2,5 GHz entspricht das einer Wellenlänge von 6 cm, ein Bit hat auf der Leiterbahn eine Länge von 3 cm! Es ist also klar, dass die Physik der Wellenausbreitung bei typischen Übertragungswegen auf Leiterplatten eine wichtige Rolle spielt – Signalleitungen sind als Wellenleiter auszulegen. Hierbei spielen die Impedanzanpassung von Signallei-



tungen, speziell an Pads für Bauteile und Steckverbinder, an Vias, sowie der Rückstrompfad eine große Rolle.

Im Folgenden werden komplementäre, physikalische Sichtweisen und Analogien aufgezeigt. Aus diesem Blickwinkel auf die Signalübertragung können Optimierungspotentiale aus Simulations- und Messergebnissen erkannt werden. Die Dualität aus Schaltungstechnik (RLC-Glieder) und elektromagnetischer Wellenausbreitung identifiziert die Stellschrauben für optimale Datenqualität. Nicht zuletzt mindert eine saubere, reflexionsfreie Signalübertragung auch die Emission und gegenseitige Beeinflussung verschiedener Systeme. Das bessert gleichsam die elektromagnetische Verträglichkeit.

Signalleitungen als elektrische Leiternetzwerke

Ähnlich wie die Versorgungsnetze tragen auch Signalleitungen, aufgrund ihrer geometrischen Beschaffenheit, kapazitive und induktive Beläge: Eine Kapazität leitet den (Verschiebungs-)Strom parallel zur Übertragungsstrecke ab, die Signale propagieren durch eine Serieninduktivität. Unter Längsaufteilung der Signalleitung in Teilabschnitte wird dies auf Schaltungsebene durch ein LC-Leiternetzwerk aus Kapazitäten und Induktivitäten dargestellt (*Bild 1*, oben).

Dies ist eine diskretisierte Darstellung des Übertragungsverhaltens der Signalleitung. Sie ist für Frequenzen weit unterhalb der Resonanzfrequenz eines Leiterglieds qültiq (f...=1/[2 π· √(L ·C)]). Bei höheren Frequenzen muss diese Diskretisierung mit entsprechender Kürzung der Leiterabschnitte adaptiert werden. Im Übergang zu beliebig kurzen Abschnitten wird das Leiternetzwerk durch eine Wellengleichung beschrieben: Die Telegrafengleichung beschreibt das Verhalten der Spannungen und Ströme entlang der Leitung. Diese Signale breiten sich mit einer Geschwindigkeit aus, die sich durch Kapazität pro Länge und Induktivität pro Länge wie folgt ergibt: $v=1/[\sqrt{(l \cdot c)}]$

Eine 0,73 mm breite Mikrostreifenleitung auf einer FR-4-Leiterplatte mit 0,4 mm Abstand zur nächsten Referenzlage trägt 0,12 pF/mm kapazitiven Belag und ein 0,3 nH/mm induktiven Belag. Das ergibt 1,68 e^8m/s Propagationsgeschwindigkeit, also die Lichtgeschwindigkeit korrigiert um die Wurzel aus der relativen Permittivität eines Gemischs aus FR-4-Substrat (ε_r =4,4) und Luft.

Passt mehr als ein Zehntel eines Bits bei der gegebenen Datenrate auf die Leitung, so ist diese als elektrisch lang zu betrachten: Wellenausbreitungseffekte werden wichtig. Tatsächlich kommt es auf die Länge einer Schaltflanke an und diese kann noch wesentlich kürzer ausfallen! Signale propagieren reflexionsfrei durch eine Leiterbahn,

wenn ihr Verhältnis aus Induktivität pro Länge zu Kapazität pro Länge konstant ist. Eine solche, unendlich lange Signalleitung verhält sich ausgehend vom Startpunkt wie ein Widerstand, das Verhältnis aus Spannung zu Stromstärke ist konstant und durch die charakteristische Impedanz $Z_{0} = \sqrt{(l/c)}$ gegeben. Bei endlicher Länge sind Reflexionen am Leitungsende zu berücksichtigen. Die geschickte Terminierung mit einem Widerstand vom Wert Z_o ergibt eine effektiv reflexionsfreie Übertragungsstrecke. Im obigen Beispiel ergibt sich eine charakteristische Impedanz der Mikrostreifenleitung von 50 Ω , dies ist ein Standardwert, der in realen Anwendungen oft verwendet wird.

Bild 2 zeigt eine DDR3-Bit-Datenleitung, durch die eine ,010101...' Bitsequenz propagiert. Die blaue Linie im Spannungsplot zeigt die Eingangsspannung exemplarisch mit den Spannungswerten 0 V und 1 V. Bei nicht terminierter Signalleitung ergibt sich auf der Empfangsseite aufgrund von Reflexionen an beiden Leitungsenden das rot gestrichelte Spannungssignal. Das entspricht einer Überlagerung von stehenden Wellen: Die digitale Information der Bitsequenz ist offensichtlich verloren gegangen. Bei entsprechender 40- Ω -Terminierung ergibt sich an der Empfangsseite hingegen das rote Signal. Dies ist wieder annähernd ein Rechteckssignal mit einer Verzögerung von 220 ps, die sich aus der Signallaufzeit auf der 35 mm langen Leiterbahn in FR-4 ergeben. Die Diskrepanz zwischen Ausgangs- und Eingangssignal hat ihre Ursache in lokalen Abweichungen vom $40-\Omega$ -System. Dies ist



Bild 1: Aquivalente Darstellungen der Signalausbreitung in einer Mikrostreifenleitung als Leiternetzwerk, als Stromsignale und als elektromagnetische Wellen.

speziell auf Reflexionen durch Vias, Pads und schlechte Rückstrompfade über wechselnde Referenzebenen zurückzuführen.

Das Übertragungsverhalten quantifizieren

S-Parameter (Streuparameter) und TDR-Impedanzen (Time Domain Reflektometry) sind hilfreiche Größen um diese Phänomene zu quantifizieren und ihren Ursprung zu verstehen. Speziell für die S-Parameter werden an den verschiedenen Leiterbahnenden, den Ports, die Signale in ein- und auslaufende Wellen aufgeteilt: Signale breiten sich als Wellen aus Spannung und Stromstärke entlang der Leiterbahnen aus. Der Zusammenhang zwischen Spannung und Stromstärke ist hierbei durch die charakteristische Impedanz bestimmt. Das Vorzeichen der Stromstärke hängt von der Ausbreitungsrichtung der Welle ab. Dies erlaubt es am Leitungsende mit Hilfe der Terminierung die Spannungs- und Stromsignale in ein- und auslaufende Wellen aufzuteilen. Bei einer gegebenen Frequenz ist der Zusammenhang zwischen den Wellen, die an den verschiedenen Ports ein- und auslaufen linear und wird durch die S-Parameter gegeben.

Zwischen jeder Kombination von je zwei Ports gibt es einen S-Parameter, der angibt wieviel von einer Welle, die an einem Port hineinläuft, am anderen Port herauskommt. Dieser S-Parameter ist eine frequenzabhängige komplexe Zahl mit Betrag und Phase. Der Betrag ist für passive Systeme kleiner als Eins und die Phase gibt



Bild 2: Ausbreitung eines Signals entlang einer Bit-Leitung. In Blau ist das Signal am Treiber skizziert. Rot gestrichelt zeigt das Signal am Empfänger ohne Terminierung, durchgezogen Rot das Signal am Empfänger bei geeigneter Terminierung.

Auskunft über die Signallaufzeit.Für eine einzelne Leitung mit je einem Port an beiden Enden gibt es vier S-Parameter, die Einfüge- und die Reflexionsdämpfungen.

Für obige DDR3-Bit-Datenleitung zeigt (Bild 3, oben) die Reflexionsdämpfung (Rot) und die Einfügedämpfung (Dunkelblau). Die S-Parameter werden meist



nach der Dezibelskala aufgetragen. Da bei niedrigen Frequenzen eine ideale Datenübertragung zu erwarten ist, beträgt dort die Einfügedämpfung fast 0 dB und die Reflexionsdämpfung ist sehr klein.

(Bild 3, unten) zeigt die Einfügedämpfung nach Betrag (Blau) und Phase (Rot). Hierbei ist wichtig, dass die Phase möglichst linear verläuft und die Dämpfung nicht zu stark ist: dann ist eine unverfälschte Signalausbreitung von digitalen Signalen zu gewährleisten. Das lineare Verhalten der Phase impliziert nämlich, dass die Ausbreitungsgeschwindigkeiten von Wellen bei verschiedenen Frequenzen gleich sind, sich Wellenpakete mit verschiedenen Frequenzanteilen also aleichmäßig ausbreiten.

Speziell digitale Signale besitzen einen sehr breitbandigen Frequenzgehalt. Das reicht von sehr niedrigen Frequenzen, um viele aufeinanderfolgende gleiche Werte darzustellen, bis hin zur Frequenz,



Bild 3: Darstellung des Übertragungsverhaltens durch frequenzabhängige S-Parameter. Unten ist die Einfügedämpfung nach Dämpfung in Dezibel und Phase aufgetragen. Wichtig ist hierbei das lineare Verhalten der Phase.

die der halben Bitrate entspricht um eine ,010101...'-Sequenz abzubilden. Um die Schaltflanken, also die Übergänge von ,0' auf ,1' oder umgekehrt, darzustellen werden sogar noch höhere Frequenzen benötigt: dem Inversen der doppelten Flankenlänge. In diesem Frequenzbereich sollte sich die Einfügedämpfung möglichst wie oben beschrieben verhalten und die Reflexionsdämpfung klein ausfallen. Dann ist eine fehlerfreie Übertragung von Bitsequenzen zu gewährleisten.

Die Form des empfangenen Signals mit Terminierung in Bild 2 korreliert mit dem Verlauf der Einfügedämpfung in Bild 3. Der recht scharfe Flankenbeginn hat seine Ursache im linearen Phasenverlauf, das unscharfe Flankenende wird dagegen durch die frequenzveränderliche Dämpfung bewirkt. Die kleinen Schwingungen nach den Schaltflanken sind dadurch verursacht, dass harmonische der Taktfrequenz auf leichte Resonanzen im Frequenzbereich um 8 GHz treffen.

Neben den S-Parametern erweisen sich TDR-Impedanzen als wichtiges Werkzeug um das Übertragungsverhalten zu beurteilen, Störstellen zu lokalisieren und die Art der Störung herauszufinden: die TDR-Impedanz bedeutet den Fingerabdruck einer Übertragungsstrecke.

tungsende eine terminierte Spannungsquelle angebracht, die ein kurzes Signal in die Leitung schickt (Bild 4). Aus dem reflektierten Signal wird dann ein Profil der charakteristischen Impedanzen entlang der Leitung bestimmt. Die Quellspannung wird mit einer sehr kurzen Flanke, zum Beispiel in 35 ps von 0 V auf 1 V gebracht, dies ist ein Einschaltvorgang. Zu jedem Zeitpunkt lässt sich aus Strom und Spannung am Einspeisepunkt die ieweilige Impedanz errechnen. Nach einer bestimmten Signallaufzeit hat die Flanke einen gegebenen Punkt auf der Leitung mit einer gegebenen charakteristischen Impedanz Z, erreicht. Der Rest der Leitung wird also als Widerstand mit Wert Z_o wahrgenommen, wogegen das endliche Leitungsstück bis zum Einspeisepunkt kaum Auswirkungen auf die Gesamtimpedanz hat. Damit entspricht die TDR-Impedanz zu einem Zeitpunkt t der charakteristischen Impedanz der Leitung an jener Stelle, welche die Flanke nach t/2 Laufzeit erreicht hat (bei Vernachlässigung von Mehrfachreflexionen und Berücksichtigung der Signallaufzeiten). Die räumliche Auflösung eines TDRs ist hier durch die Flankenlänge gegeben. Eine 35-ps-Flanke auf einer Leiterbahn in FR-4 ergibt zum Beispiel eine räumliche Auflösung von circa 5 mm. Die Terminierung an der Einspeisung dient hierbei der Reduzierung



Bild 4: TDR-Untersuchung der Viadurchführung einer Mikrostreifenleitung. Im Feldplot oben sind das reflektierte und das transmittierte Signal zu sehen. In diesem Fall ist das Via zu kapazitiv.

Der TDR-Plot (*Bild 4*, rechts unten) zeigt, dass an der Stelle des Vias eine charakteristische Impedanz von 42 Ω liegt, das Via also zu kapazitiv für diese $50-\Omega$ -Mikrostreifenleitung ist. Dies kann natürlich durch eine Vergrößerung der Antipads (Aussparungen) in den Masseebenen angepasst werden. Der TDR-Plot hat also Auskunft über Position und Art der Störstelle gegeben. Die TDR-Impedanzen beinhalten dieselben Informationen wie die Reflexionsdämpfung im Frequenzbereich bis circa zur Hälfte des Inversen der Flankenanstiegszeit. Die S-Parameter beinhalten also die gesamte Information über die Qualität der Signalübertragung einer Übertragungsstrecke, sie hängen nur von der Leiterbahn ab. Auch das in Bild 3 (oben) mit der hellblauen und der grünen Linie dargestellte Übersprechen. Das Übersprechen wird im dritten Teil der Artikelreihe betrachtet.

Feldberechnung der Sianalintearität

Die vorherige Diskussion wurde hauptsächlich aus der Darstellung einer Übertragungsstrecke als Leiternetzwerk abgeleitet.



Bild 5: Stromverteilung im Bereich der Viadurchführung einer Mikrostreifenleitung. Es ist klar zu sehen, dass die Rückströme in der Masseebene nahe an den Strömen auf der Signalleitung fließen.

In der Praxis werden die S-Parameter jedoch aus Feldberechnungen unter Berücksichtigung des geometrischen Aufbaus der Leiterbahnen bestimmt. Hierbei werden die Maxwellschen Gleichungen unter Berücksichtigung dielektrischer und metallischer Materialeigenschaften gelöst. Bild 1 zeigt die Ausbreitung von Strömen (mitte) bzw. elektrischen Feldern (unten) entlang einer Mikrostreifenleitung. In Analogie zum Leiternetzwerk sind das die Ströme entlang der Serieninduktivitäten und die elektrischen Felder in den Parallelkapazitäten. Die Wirbelstromeffekte haben zur Folge, dass sich Stromverteilungen mit möglichst geringen Induktivitäten einstellen. Damit wird Wirbelstromeindringtiefe in Kupfer sehr klein, zum Beispiel 2 µm bei 1 GHz, der Widerstandsbelag in den Leiterbahnen steigt. Weiterhin laufen Hin- und Rückströme möglichst nah beieinander.

Bild 5 zeigt erneut die Stromverteilung bei einer Mikrostreifenleitung mit Viadurchführung durch zwei Masseebenen. Die Rückströme auf der Massefläche konzentrieren sich in direkter Nähe der Mikrostreifenleitung. Dort ist die Stromdichte auf der Unterseite, die der Massefäche zugewandt ist, und an den Kanten am größten. An der Oberseite in Mitte der Leitung fließen hingegen kaum Ströme.

Dieses Verhalten der Hin- und Rückströme muss natürlich auch bei dem Via selbst berücksichtigt werden. Es werden Stitching-Vias zwischen den Masseflächen benötigt. Der Abstand der Stiching-Vias zum Via der Signalleitung führt zu einem erhöhten induktiven Belag im Via-Bereich.

Die Radien der Via-Bohrungen, der Pads und der Antipads, also der Aussparungen in der Masseebene, bewirken gemeinsam mit der Permittivität des Substrats die kapazitiven Kopplungen im Via-Bereich.

In Plots für TDR-Impedanzen lassen sich Vias relativ leicht identifizieren und bewerten. Der Zusammenhang mit kapazitiven und induktiven Belägen sowie ein Verständnis der Stellschrauben erlauben es, mithilfe von Feldsimulationen sehr schnell und zuverlässig Designs zu verbessern, ohne dass reale Prototypen gefertigt und vermessen wurden.

Mit Ansys SIwave lassen sich diese Art von Untersuchungen sehr effizient durchführen. Etwa ein Impedanz-Scirca für Signalleitungen der, wie (*Bild 6*, oben links) zeigt, die charakteristische Impedanz von Leiterbahnen aufgrund der Querschnittsgeometrie bestimmt. Diese Analyse zeigt deutlich, wann Referenzebenen gewechselt werden. In Bild 6 sind Signalleitungen über einen Schlitz verlegt, was zu einer stark erhöhten Impedanz an dieser Stelle führt. Auf diese Weise können schnell kritische Leiterbahnbereiche identifiziert werden. Für detailliertere Analysen werden in Slwave zuerst die S-Parameter der zu untersuchenden Übertragungsstrecken bestimmt. Hierbei werden alle wichtigen Beiträge wie zum Beispiel Kopplungen benachbarter Leiterbahnen, Via-Durchführungen, Rückstrompfade, kapazitive Kopplungen von Pads an Ebenen und Resonanzen in den Versorgungsebenen berücksichtigt.

Anhand dieser S-Parameter können dann auch TDR-Impedanzen und transiente



Signalformen bestimmt werden. Dies reicht bis zur Einbindung von IBIS-Modellen (Input/Output Buffer Information Specificircaion) für eine realitätsnahe Beschreibung zur Signalerzeugung durch den IC: Dann wird das Design mit Hilfe von Augendiagrammen und Bit-Fehlerraten beurteilt. Bild 6 zeigt dazu einige typische Szenarien, die auf einer Leiterplatte vorkommen können:

- Wenn Leiterbahnen die Referenzebene wechseln, zum Beispiel bei der Überauerung eines Schlitzes, wird der Rückstrompfad unterbrochen. Falls sich dies aus bestimmten Gründen nicht vermeiden lässt, sollten nach Möglichkeit Stitching-Kondensatoren verwendet werden, um hochfrequente Rückströme zu ermöglichen. In einem ähnlichen Szenario wechselt eine Leitung mit einem Via die Lage und dabei von einer Referenzierung auf Masse zu einer Referenzierung auf V_{cc}.
- Viele Bauteile und auch Steckverbinder für Schnittstellen haben ein Landing, das große Pads oder Bohrungen für Einpresskontakte benötigt. An diesen Stellen liegen oft zu hohe kapazitive Kopplungen, die zum Beispiel durch Aussparungen in der Referenzlage darunter verringert werden sollten (Bild 6, oben Mitte).
- Oft werden mehrere Leitungen mit benachbarten Vias durch eine große Aussparung in den Referenzebenen geführt. Dies führt häufig zu erhöhten Induktivitäten und den Verlust der Referenzebene. Hier muss auf nahe gelegene Rückstrom-Vias und nicht zu große Abstände zur Referenzfläche geachtet werden.
- Bauteile zur Entstörung und zum Schutz wie Gleichtaktdrosseln oder DC-Blockkondensatoren stören auch die Signalausbreitung und müssen geschickt ausgewählt werden.
- Nicht hier abgebildet sind Mikrovias und vergrabene Vias sowie Testpunkte. Diese haben alle Auswirkungen auf die Signalübertragung. Die Untersuchung der Einfüge- und Reflexionsdämpfung sowie der TDR-Impedanzen mit Hilfe von Feldsimulationen hilft, alle diese Szenarien zu

verbessern, oder die Grenzen solcher Designmaßnahmen auszuloten. Oft führt dies zu einer Abwägung zwischen ökonomischen Aspekten und technischen Notwendigkeiten. Um das Thema der Rückströme besser zu beherrschen werden bei sehr hohen Datenraten, Taktsignalen und langen Datenleitungen, die Übertragungsleitungen symmetrisiert: Es werden also differentielle Paare aus Hin- und Rückleitung gebildet, wie Bild 6 unten zeigt. (speziell für periphere Schnittstellen wie USB, PCIe, SATA, LVDS) Damit muss der Rückstrom nicht in den Referenzflächen fließen und die Übertragung wird robuster, allerdings unter dem Mehraufwand einer zusätzlichen Leiterbahn.

Bei peripheren Schnittstellen ist zu beachten, dass das Dämpfungsbudget auf der Seite des eingebetteten Systems eingehalten wird. Auch hier ist die Impedanzanpassung der Leitung notwendig. Bei entsprechender Terminierung wird der Verlust dann durch die Einfügedämpfung beschrieben. Ein wesentlicher Aspekt ist hier natürlich wieder ein gutes, angepasstes Landing des Steckverbinders auf der Platine. Es entstehen aber auch Verluste im FR-4 der Platine und aufgrund der Materialschwankungen bei FR-4 kann es zu leichten Fehlanpassungen kommen, die Reflexionen verursachen und somit das Dämpfungsbudget negativ beeinflussen.

Eine weitere Thematik sind energieeffiziente Terminierungsschemen mit Spannungsreferenznetzen sowie Fly-By-Topologien, bei denen mehrere Empfänger an einer Leitung sitzen. Diese sind meist hochohmig abgeschlossen, um das passierende Signal nicht zu stören. Oft sitzen diese aber an kurzen, abgezweigten Leiterstücken: Dies bewirkt Reflexionen, die wiederum die Signale verfälschen.

Fazit & Ausblick

Im diesem zweiten Teil der Artikelserie wurde beschrieben, wie Simulation dabei



Bild 6: Typische Szenarien auf der Leiterplatte die zu Schwierigkeiten bei der Signalintegrität führen können: Wechsel der Referenzfläche (1), große Pads und Bohrungen für Steckverbinder und Bauteile (2), große Löcher in den Referenzebenen für Viadurchführungen (3) und passive Bauteile wie Gleichtaktdrosseln und DC-Blockkondensatoren.

hilft, eine adäquate Signalübertragung zu gewährleisten. Dabei wurden (Simulations-) Methoden herangezogen, die das Leiterplattenlayout bewerten und nicht sehr abhängig von IC-Verhaltensmodellen sind. Das ermöglicht eine direkte Bewertung und Verbesserung dessen, was Entwickler von eingebetteten Systemen selbst beeinflussen können und vermeidet eine aufwändige Beschaffung und Bewertung von Herstellermodellen. Der dritte und letzte Teil diskutiert Störeffekte, durch die sich verschiedene Systeme und Datenleitungen beeinflussen können.

Speziell wird ein Schwerpunkt auf das Übersprechen von Signalen und die Modenumwandlungen fallen. Zusätzlich wird beschrieben, wie die Wechselwirkungen zwischen Signal- und Versorgungsnetzen zu Herausforderungen in der EMV-Abstrahlung führen. Ein gutes physikalisches Verständnis dieser Zusammenhänge führt zur Vermeidung unnötiger Redesigns aufgrund fehlerhafter Funktion oder starker EMV-Emissionen. (ct) TEIL 3

Herausforderungen durch Feldwechselwirkungen

Die EMV-Evaluation eines Desians muss nicht bis zum physikalischen Prototypen warten. Wesentliche Kenngrößen dazu sind bereits in der Simulation zugänglich.

Dr. Christian Römelsberger Applikationsingenieur bei Cadfem

ie letzten beiden Teile dieser Artikelreihe [1, 2] beschrieben wesentliche Maßnahmen in der Hardwareentwicklung auf Leiterplattenebene, um die Versorgung und Kommunikation kritischer ICs eines eingebetteten Systems zu gewährleisten. Für die Versorgungsintegrität waren Stützkondensatoren zur Reduktion der Versorgungsimpedanzen und zur Vermeidung von Resonanzen maßgeblich. In der Signalintegrität waren impedanzangepasste Leiterbahnen und Rückstrompfade speziell auch bei Vias und Bauteilpads von zentraler Bedeutung.

In diesem letzten Teil der Artikelserie werden einige Nebeneffekte beleuchtet, welche die Funktion eines Geräts beeinträchtigen können: ungewollte Wechselwirkungen zwischen diversen Signalleitungen oder/und Versorgungsnetzen aufgrund der elektromagnetischen Felder. Im Allgemeinen gehören diese Themen zur Elektromagnetischen Verträglichkeit (EMV).

Übersprechen

Unter Übersprechen versteht man eine Kopplung von galvanisch getrennten Signalleitungen. Durch diese wirken propagierende Signale einer Leitung auf andere Leitungen ein und stören dort die Übertragung. Dies geschieht durch induktive und kapazitive Wechselwirkungen, wie Bild 1 illustriert. Diese Kopplung nimmt mit kürzerem Leiterbahnabstand zu.

Ein propagierendes Signal mit steigender Spannungsflanke hat notwendigerweise auch eine steigende Stromflanke: Im Bereich dieser Signalflanke auf der Leiterbahn befinden sich also stark veränderliche elektrische und magnetische Felder. Diese veränderlichen Felder induzieren nach dem Coulombschen und dem Faradayschen Gesetz in benachbarten Leiterbahnen Ströme und Spannungen, die als Signale weiter auf diesen Leiterbahnen laufen.

In Bild 1 ist eine typische Situation zweier benachbarter Leitungen dargestellt. Diese sind gleich lang um das Timing einzuhalten - Signale laufen auf beiden Leiterbahnen in der gleichen Zeit von einem IC zum anderen. Die beiden Leitungen verlaufen auf Abschnitten der Übertragungsstrecke nahe aneinander und parallel. Bild 1, rechts oben, zeigt die magnetische Feldverteilung eines solchen Abschnitts in einem Querschnitt. Das Signal der hinteren Leitung erzeugt ein veränderliches Magnetfeld das in der vorderen Leitung eine Spannung induziert, die nach der Lenzschen Regel der Ursache der Magnetfeldänderung entgegenwirkt. Weiterhin erzeugt das Signal in der hinteren Leitung auch ein veränderliches elektrisches Feld, das in der vorderen Leitung eine Verschiebung von Ladungsträgern, also einen Strom, bewirkt. Diese induzierten Signale laufen auf der gestörten Leitung in beiden Richtungen weiter: ein Teil zurück zum Treiber-IC, das Nahübersprechen (NEXT; Near End Cross Talk), der andere Teil weiter zum Empfänger-IC, das Fernübersprechen (FEXT: Far End Cross Talk).

Das blaue Signal (Bild 1, links unten) zeigt ein Signal auf Leitung 1 am Treiber-IC. Die steigende Flanke propagiert entlang der Leitung und trifft als das grüne Signal am Empfänger-IC ein. In den Regionen mit dicht liegenden Leiterbahnen, findet beim Passieren der Flanke Übersprechen auf Leitung 2 statt. Zum Treiber-IC gelangen diese Störungen nach der doppelten Signallaufzeit, die bis zur Stelle des Übersprechens benötigt wird: Die Breite des NEXT-Signals misst die doppelte Signallaufzeit der Übertragungsstrecke. In diesem Beispiel zeigt das orange NEXT-Signal zwei mit roten Pfeilen gekennzeichnete Maxima. Ursache sind die beiden rot eingekreisten Leitungsabschnitte am Anfang und am Ende des Übertragungsweges.

Da das FEXT-Signal und die Signalflanke mit der gleichen Ausbreitungsgeschwindigkeit in die gleiche Richtung laufen, gelangen sie auch gleichzeitig zum Empfänger-IC – das FEXT-Signal ist sehr konzentriert und akkumuliert sich also entlang der Übertragungsstrecke. Das Vorzeichen des NEXT-Signals stimmt mit dem der Steigung der Signalflanke überein, wogegen das FEXT-Signal ein umgekehrtes Vorzeichen trägt. Deshalb sollten z. B. Datenleitungen eines DDR-Busses nicht parallel und nah verlegt werden. Die Übersprechweite hängt dabei vom Querschnitt der Leiterbahnen, von der Streckenlänge und der Flankensteilheit ab: In die Induktionsgesetze geht die Flankensteilheit linear ein. Ein Lagenaufbau, mit geringem Abstand zwischen der Signalleitung und der zugehörigen Referenzebene,

beschränkt die Ausbreitung der Felder transversal zur Leitung: Die Kopplung zu benachbarten Leitungen fällt geringer aus.

Die Länge der Koppelstrecke hat natürlich auch einen Einfluss auf die Stärke des Übersprechens. Speziell beim FEXT-Signal erhöht sich mit der Koppellänge auch die Stärke des übergesprochenen Signals. Im Extremfall wird fast das gesamte Signal übergesprochen, vom Orginalsignal bleibt kaum etwas übrig.

Vielfaches Übersprechen

In der Regel geschieht das bei langen Leitungen und ist auf einer einzelnen Leiterplatte selten zu beobachten - bei sehr langen Leitungen spricht das FEXT-Signal wieder zurück auf die ursprüngliche Leiterbahn.

Ein Erklärungsmodell für dieses Phänomen sind zwei parallele Leiterbahnen als differentielles Paar. In Mikrostreifenleitungen haben die Gegentakt- und die Gleichtaktmode unterschiedliche Ausbreitungsgeschwindigkeiten. Ursache sind ihre verschiedenen Feldverteilungen in der Luft und im Substrat. Ein Signal auf einer Leiterbahn kann als Überlagerung dieser Gleichund Gegentaktmoden dargestellt werden. Aufgrund der unterschiedlichen Propaga-

tionsgeschwindigkeiten der beiden Moden verändert sich die Phase der Überlagerung. Nach einer kritischen Distanz vertauscht das relative Vorzeichen zwischen Gleich- und Gegentaktmode, das Signal ist vollständig auf die zweite Leitung übergesprochen. Nach einer weiteren kritischen Distanz befindet sich das Signal wieder auf der Ursprungsleitung. Beim Fernübersprechen können Signale einer gegebenen Freguenz also zwischen den beiden Leitungen hin- und heroszillieren.

Ansys Slwave prüft das Übersprechen unmittelbar mit einem Cross-Talk-Scan. Hier werden für selektierte Netze, z. B. die Datenleitungen eines DDR-Busses, NEXT und FEXT eines idealisierten Signals abgeschätzt. Diese Analyseart ist direkt aufsetzbar und schätzt das Übersprechen realistisch ab. Bild 2 zeigt eine solche Analvse exemplarisch für acht Leitungen. Das Balkendiagram zeigt unmittelbar die stark gekoppelten Leitungspaare auf. Die zugehörigen transienten FEXT- und NEXT-Signale erfüllen die oben beschriebene Form. Genauere Untersuchungen nutzen die S-Parameter: Sie charakterisieren das Übersprechen im Frequenzbereich. In einer Schaltungssimulation kann das durch S-Parameter beschriebene Übertragungs-



Bild 1: Das Übersprechen zwischen zwei Leitungen findet vermehrt in den Bereichen mit geringem Bahnabstand statt. Das veränderliche magnetische Feld (rechts oben) bewirkt eine induktive Kopplung zwischen den Leitungen, ähnlich gibt es eine kapazitive Kopplung. Links unten sind die Signale dar-gestellt. Das NEXT-Signal zeigt zwei Maxima, die durch zwei Pfeile gekennzeichnet sind. Das FEXT-Signal verläuft hingegen sehr konzentriert.

verhalten der Signalleitungen mit entsprechenden Treibermodellen (z. B. IBIS; Input/ Output Buffer Information Specification) im Zeitbereich kombiniert werden. Damit werden genaue Aussagen über den Einfluss des Übersprechens auf die Datengualität abgeleitet, u. a. mit Augendiagrammen und Bit-Fehlerraten.

Im Allgemeinen tritt auch ein Übersprechen zwischen vollkommen unabhängigen Leiterbahnen auf, sogenanntes Fremdübersprechen (AXT; Alien Crosstalk). Taktleitungen führen zu sehr ausgeprägten Störungen bei den ungeradzahligen harmonischen Vielfachen der Taktfrequenz. Gerade bei analogen Sensorleitungen ist das Fremdübersprechen dieser Taktsignale zu vermeiden, da diese Sensorleitungen oft sehr sensibel sind. Maßnahmen sind eine angemessene räumliche Distanz und das Trennen der jeweiligen Versorgungsnetze, um eine Ausbreitung über die Kopplung der Rückstrompfade zu verhindern.

Differentielle Signale und Modenumwandluna

Differentielle Paare sind eine weitere Maßnahme um Kopplungen zu vermeiden: Insbesondere für Leitungen die hohe Datenraten, also hochfrequente Signale tragen, oder zur Peripherie verbinden. Beispiele hierfür sind das Strobe-Signal in DDR-Bussen, serielle Schnittstellen wie USB oder PCIe aber auch LVDS.

Bei differentiellen Paaren verhalten sich Hin- und Rückstrompfade möglichst symmetrisch. Damit fließen geringere Ströme auf den Referenzebenen. Die Rückströme auf den Referenzebenen können sich nämlich räumlich weiter ausbreiten und somit Kopplungen an andere Signalleitungen verursachen – speziell an Leitungen, die auf dieselbe Ebene referenzieren. Des Weiteren sind kohärente Stromverteilungen, speziell auf größeren Ebenen, oft auch die Ursache für Abstrahlung. Dieser Antennenmechanismus wird später noch genauer betrachtet.

Die Implementierung differentieller Signalleitungen birgt jedoch einige Herausforderungen. Meist ist eine exakt symmetrische Leiterbahnführung nämlich nicht umsetzbar. Führt eine differentielle Leitung um eine Kurve oder einen Eckpunkt, so fällt die Außenleitung etwas länger aus. Bei 260 µm Bahnabstand eines Paars und 140 µm Leiterbahnbreite beträgt der Abstand der Mittellinien der Leiterbahnen 400 µm. Eine 90°-Biegung in zwei 45°-Knicken bewirkt 680 µm Längenunterschied der Leiterbahnen. Bei 5 GHz beträgt die Wellenlänge in einer Mikrostreifenleitung auf FR-4 Substrat ca. 3,4 cm. Der Längenunterschied der beiden Leiterbahnen misst also 1/50 der Wellenlänge, das entspricht einer Phasen-

differenz von 7.2°. Propagiert dieses differentielle 5-GHz-Signal durch die Leitung, so fällt die Anfangsphase der Stränge von 180° auf 172,8° ab: Das Signal enthält am Empfänger einen Gleichtaktanteil. Dieser ist die Überlagerung der phasenverschobenen Einzelsignale. Daraus ergibt sich unter Verwendung der Additionstheoreme, unter Vernachlässigung der Verluste, die Modenumwandlung zu:

$$dB(SC2D1) = 20 \cdot \log_{10}\left(\sin\left(\frac{\Delta\phi}{2}\right)\right) \quad (1)$$

Dieser differentielle S-Parameter beschreibt die Umwandlung eines Gegentaktsignals in ein Gleichtaktsignal durch die Leitergeometrie. Im obigen Beispiel wird 0,4 % der als Gegentaktmode eingespeisten Leistung in eine Gleichtaktmode umgewandelt und kann eine Abstrahlung bewirken.

Zum Ausgleich dieser Asymmetrie in differentiellen Leitungen kompensiert ein Mäander (Bild 3) die relative Phasenlage lokal. Hier wird auch die geometrisch bedingte Modenumwandlung am Fan-Out eines Ball-Grid-Arrays (BGA) ausgeglichen. Das Diagramm in Bild 3 zeigt den Frequenzgang der Phasenverschiebung an den Einzelleitungen des rot gekennzeichneten differentiellen Paars. Der grüne Graph zeigt die Modenumwandlung. Der blaue Graph wurde mit Gleichung (1) berechnet und reproduziert den grünen Graph über weite Bereiche hinweg.

Emissionen vermeiden

Zum Abschluss wird die EMV-Emission betrachtet. Dies spannt den Bogen über die gesamte Artikelserie: von den Resonanzen in den Versorgungsebenen, über



Bild 2: Ergebnisse des Cross-Talk-Scans in Ansys Slwave. Untersucht werden hier acht Datenleitungen eines DDR3-Busses. Das Säulendiagramm zeigt die Leitungspaare mit den stärksten Kopplungen auf. NEXT- und FEXT-Signale können zusätzlich dargestellt werden.



Bild 3: Fan-Out eines BGA. Der Längenausgleich durch Mäander ist gut zu erkennen. Das Diagramm rechts unten zeigt die Phasendifferenz der gesam-ten Übertragungsstrecke und ihre Modenumwandlung.

die Thematik der Impedanzanpassung und der Rückströme bei Signalleiterbahnen, bis hin zur Modenumwandlung bei differentiellen Leitungen.

Die Stromverteilung auf der Leiterplatte, dem Gehäuse und der Verkabelung bewirkt elektromagnetische Felder in der Umgebung. Die Stromverteilung ist als Überlagerung von Elementarströmen auf allen Leitern anzusehen. Jeder dieser Elementarströme erzeugt eine elektromagnetische Elementarwelle. Diese Elementarwellen ergeben in Überlagerung das abgestrahlte Feld. Bei gegebener Frequenz fällt dieses abgestrahlte Feld invers proportional mit dem Abstand zur Quelle ab. Die emittierte Feldstärke hängt direkt von der Stromstärke ab und von der Kohärenz der Stromverteilung: Die Elementarwellen können konstruktiv oder destruktiv überlagert werden.

Falls Teile der Ströme in Resonanz geraten ergibt das typischerweise eine hohe Emission. Dies ist das Wirkprinzip von Antennen. Auf Leiterplattenebene geraten meist die Versorgungsebenen in Resonanz, hier können Ströme ein größeres Spektrum an Wellenformen einnehmen. Die terminierten Signalleitungen sind hingegen oft weniger anfällig für eine Resonanz. Allerdings werden die Resonanzen in den Versorgungsebeben oft durch Signale, die in den Signalleitungen auf Impedanzsprünge treffen, an denen z. B. der Rückstrompfad beeinträchtigt ist, angeregt.

Ein Beispiel hierfür zeigt Bild 4. Es werden Daten mit 1066 Mbit/s in einem DDR-Bus auf acht parallelen Leitungen übertragen. Das Emissionsspektrum links oben zeigt, dass der Emissionspegel bei 2,13 GHz die restlichen Pegel um 20 dB übersteigt.

Die Ursache kann mit mehreren Beobachtungen aus der Simulation verstanden werden. Zunächst entspricht natürlich der Emissionspeak der Datenfrequenz (2*1066 MHz=2,132 GHz): Die Signale sind eine klare Störguelle. Weiterhin zeigt eine Darstellung der zugehörigen Spannungsverteilung zwischen VCC und GND, dass das zugehörige Versorgungsnetzwerk in Resonanz gerät. Die ursächliche Signalleitung, ist aus den Reflexionsdämpfungen der Signalleitungen und des Versorgungsnetzes, ersichtlich. Hier tragen die DO2-Leitung und das Versorgungsnetz eine Resonanz nahe 2,13 GHz. In Antennensprache ist die DQ2-Leitung also die Speiseleitung und das Versorgungsnetz der Strahler. Dies sind genügend Hinweise um die Ursache im Design zu identifizieren.

Eine genaue Betrachtung des Lagenaufbaus und der Leiterbahnführung ergeben, dass die DQ2-Leitung im rot markierten Bereich auf der Oberseite der Leiterplatte verläuft und auf VCC referenziert. Dann wird die Leiterbahn mit einem Via auf die Unterseite der Leiterplatte geführt, an der sie auf GND referenziert. Es findet also ein Wechsel des Referenznetzes statt und der Rückstrompfad ist auf diese Weise unterbrochen. Die DQ2-Leitung ist diejenige der acht Leitungen, welche am längsten auf VCC referenziert. Sie koppelt also am stärksten in das Versorgungssystem ein und kann somit am besten eine Resonanz anregen.

genmaßnahmen:

- Falls Größe und Form des VCC-Netzes noch variabel sind, kann die Resonanzfrequenz von 2,13 GHz weiter weggeschoben werden.
- Alle Signalleitungen sollten möglichst nur auf GND referenzieren.

Daraus folgen unmittelbar einige Ge-

Das Beispiel zeigt, wie Feldsimulation dabei hilft. Ursachen von Störungen zu identifizieren: Mit Fokus auf eine kritische Schnittstelle (z. B. der DDR3-Bus), werden unterschiedliche Blickwinkel, wie S-Parameter oder Feldverteilungen zwischen den Versorgungslagen eingenommen. Das gewährt Einblicke, die mit konventioneller Messung nur schwer zu erlangen sind. Somit findet auch ein stark beschleunigter Wissensaufbau statt.

Die Praxis beinhaltet viele ähnliche Szenarien. Ein häufiges Beispiel ist eine Signalleitung, die über einen Schlitz läuft und die Leiterplatte zur Schlitzantenne wird. Dies tritt auch sehr häufig bei vermeintlichen Low-Speed-Leitungen auf, welche meist nicht nach den strikten Regeln von High-Speed-Leitungen verlegt werden. Dabei wird die Flankensteilheit aufgrund moderner Siliziumtechnologie häufig vergessen: Bereits SPI-Taktsignale von 10 MHz tragen einen Frequenzgehalt bis in den Gigahertzbereich. Auch ein solches Signal kann bei schlechter Referenzierung zu Abstrahlungsproblemen führen. Ihre Ursache ist dann sehr schwer zu identifizieren, da es sich oft um eine sehr hohe Harmonische der Taktfrequenz handelt.

Damit wird noch einmal auf die differentiellen Leitungen zurückgegriffen. Nun ist klar, dass differentielle Signale auf abgeglichenen differentiellen Leitungen, keine Rückströme in den Versorgungsnetzen bewirken. Sie lösen also nur geringfügige Abstrahlung aus. Unter einer Modenumwandlung zu einer Gleichtaktmode, gibt es jedoch Rückströme im Versorgungssystem, die erhebliche Emissionen bedingen können. Neben den Versorgungsnetzen können natürlich Verkabelungen und besonders metallische Gehäuse mit Schlitzen, als Strahler wirken.



Bild 4: Emissionen aufgrund einer Resonanz im Versorgungsnetzwerk. Im Diagramm links oben ist das Emissionsspektrum dargestellt. Bei 2,13 GHz also der doppelten Taktfrequenz gibt es eine starke Überhöhung der Emissionen. Dies kommt aufgrund einer Resonanz in der Nähe von 2,13 GHz zustande, die durch die DQ2 Leitung (rot eingekreist) aufgrund eines Wechsels der Referenz angeregt wird.

Kabel können bei entsprechender Länge auch schon bei relativ niedrigen Frequenzen in Resonanz geraten und zur Abstrahlung führen. Im Peripherie-Bereich wird daher auch meist mit differentiellen Signalen gearbeitet. Am Eingang stellt hier häufig eine Gleichtaktdrossel eine EMV-Maßnahme dar. Dabei ist auf einen möglichst symmetrischen Einbau, bezüglich kapazitiver und induktiver Kopplungen zu achten. Ihre Impedanz muss möglichst gut zur Leitung abgeglichen sein.

Diese Herausforderungen, speziell im Bereich der Elektromagnetischen Verträglichkeit, bezüglich Abstrahlung, aber auch leitungsgebundener Emissionen und der Störempfindlichkeit (Suszeptibilität) treten bei sehr vielen Schnittstellen zur Peripherie auf: Beispiele sind Display- bzw. HMI-Anbindungen, serielle Schnittstellen, aber auch Low-Speed-Leitungen für CAN, LIN, Most und Flexrav.

Die Kopplung erfolgt immer über die elektromagnetischen Felder. Es ist auf Resonanzen zu achten, die typischerweise in Kabeln, im Versorgungsnetzwerk und im Gehäuse auftreten. Die kritischen Frequenzen sind meist durch die geometrischen Dimensionen gegeben, da die Resonanzen stehende Wellen auf diesen Strukturen sind.

Résumé

Im ersten Teil der Artikelreihe [1] wurde auf die Resonanzen in Leiterplatte, im Kontext der dynamischen Versorgungsintegrität, eingegangen: Falls Kabel im Spiel sind, können hier auf Systemebene Kabel- und Leiterplattenverhalten kombiniert werden.

Der zweite und dritte Teil [2] betrachtete die Kopplung der Signalleitungen an die Versorgungsnetzwerke (z. B. über Rückströme). Simulationen wie mit Ansys SIwave oder Ansys HFSS helfen dabei, schon im Entwurf auf direkte Weise, die Versorgungs- und Signalintegrität von Leiterplatten zu verbessern. Damit werden teure und zeitaufwändige Redesigns vermieden. Weiterhin können in Simulationen physikalische Zusammenhänge anschaulich erfasst werden, was die Lernkurve beim Entwickler wesentlich beschleunigt und Innovationen vorantreibt.

Berechnungen bringen in allen Entwicklungsphasen einen großen Nutzen:

In der Pre-Layout-Phase können Vias und Padstacks optimiert werden und

als Bausteine für das Layout bereitgestellt werden.

- Versorgungskonzepte können in einer frühen Layoutphase verglichen werden: Dies zeigt die geeigneten Lagen der Versorgungsnetze für eine niederimpedante Stromversorgung und die geeignete Flächenaufteilung zur Gewährleistung der Stromtragfähigkeit.
- Das Verlegen vieler Leitungen geht, aus Gründen der Kosteneffizienz (Anzahl der Lagen), oft mit Kompromissen einher. Dabei muss die physikalische Funktionsintegrität gewährleistet sein.
- Am Ende der Layoutphase wird ein gesamter Kanal, insbesondere auf die Einhaltung von Normen geprüft.
- Damit wird die Wahrscheinlichkeit für eine erfolgreiche Inbetriebnahme des Systems im ersten Anlauf erheblich gesteigert. (ct)

LITERATUR

- [1] Zur Versorgungsintegrität von Embedded Hardware, DESIGN&ELEKTRONIK 01/2019
- [2] Auslegung der High-Speed-Signalleitungen, DESIGN&ELEKTRONIK 02/2019

ÜBER DIESES BOOKLET

DESIGN& ELEKTRONIK KNOW-HOW FÜR ENTWICKLER

Dieses Booklet fasst eine 3-teilige Serie zur Simulation in der Entwicklung von elektronischen Systemen zusammen, die im Jahr 2019 in verschiedenen Ausgaben der Design & Elektronik erschienen ist.

ÜBER DEN AUTOR



Dr. Christian Römelsberger ist Physiker und hat an der LMU München unter anderem Elektrodynamik gelehrt. Seit 2012 ist er bei CADFEM, wo er sich sowohl mit der Feldsimulation von Antennen und RF-Komponenten als auch mit der Feld- und Systemsimulation von EMV Fragestellungen beschäftigt. Im Rahmen dieser Tätigkeit ist er für Schulungen und die Durchführung von Simulationsprojekten zuständig.

Kontakt: Dr. Christian Römelsberger T. +49 (0)8092-7005-84 croemelsberger@cadfem.de



Weil Simulation mehr als Software ist

Simulation macht heute sehr viel möglich. Weil Software allein aber noch keinen Simulationserfolg garantiert, bietet CADFEM alles, auf was es ankommt, aus einer Hand: Software und IT-Lösungen. Beratung, Support, Engineering. Know-how-Transfer. CADFEM zählt zu den Pionieren der Anwendung Numerischer Simulation in der Produktentwicklung und ist einer der größten europäischen Anbieter für Computer-Aided Engineering, langjähriger Vertriebspartner des führenden Softwareherstellers ANSYS, Inc. und ANSYS Elite Channel Partner mit 130 ANSYS Spezialisten.

CADFEM GmbH Marktplatz 2 85567 Grafing b. München T +49 (0)8092–7005–0 info@cadfem.de www.cadfem.de

Geschäftsstellen in Berlin, Chemnitz, Dortmund Hannover, Stuttgart Österreich: CADFEM (Austria) GmbH, www.cadfem.at Schweiz: CADFEM (Suisse) AG, www.cadfem.ch

Die CADFEM GmbH, CADFEM (Austria) GmbH und CADFEM (Suisse) AG sind Unternehmen der CADFEM Gruppe. www.cadfemgroup.com